

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-228539  
 (43)Date of publication of application : 15.08.2000

• (51)Int.CI. H01L 33/00  
 H01L 21/205

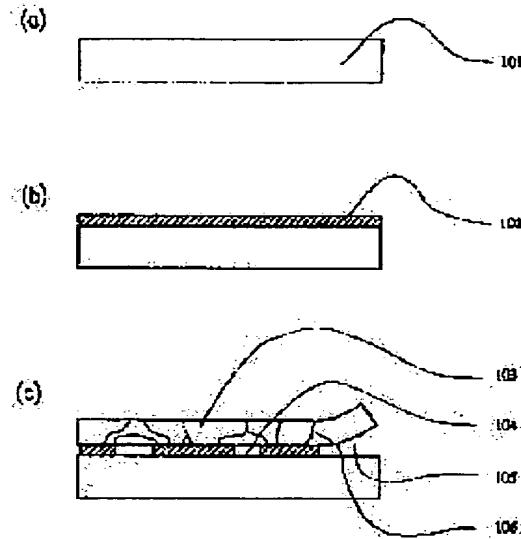
(21)Application number : 11-030669 (71)Applicant : SHARP CORP  
 (22)Date of filing : 08.02.1999 (72)Inventor : YUASA TAKAYUKI

## (54) MANUFACTURE OF NITROGEN COMPOUND SEMICONDUCTOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the density defect of a nitrogen compound semiconductor by epitaxially growing an amorphous nitrogen compound semiconductor layer on a substrate, and then providing a hole in the amorphous nitrogen compound semiconductor layer between the substrate and the nitrogen compound semiconductor subjected to epitaxial growth.

**SOLUTION:** A substrate 101 is introduced into a crystal growing apparatus, and an amorphous nitrogen compound semiconductor layer 102 is formed on the substrate 101 at a temperature lower than that at which a nitrogen compound semiconductor epitaxially grows. Then, the temperature is raised to carry out crystal growth of an epitaxial film 103 of the nitrogen compound semiconductor at the growing temperature of the nitrogen compound semiconductor. After the crystal growth is terminated, the temperature is lowered and it is taken out from the crystal growing apparatus, and a hole 104 is naturally provided in the amorphous nitrogen compound semiconductor layer 102 between the substrate 101 and the nitrogen compound semiconductor subjected to epitaxial growth.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-228539

(P2000-228539A)

(43)公開日 平成12年8月15日(2000.8.15)

(51)Int.Cl.<sup>7</sup>

H 01 L 33/00  
21/205

識別記号

F I

テ-マコード\*(参考)

H 01 L 33/00  
21/205

C 5 F 0 4 1  
5 F 0 4 5

審査請求 未請求 請求項の数 7 O.L (全 11 頁)

(21)出願番号

特願平11-30669

(22)出願日

平成11年2月8日(1999.2.8)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 湯浅 貴之

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(74)代理人 100078282

弁理士 山本 秀策

最終頁に続く

(54)【発明の名称】窒素化合物半導体の製造方法

(57)【要約】

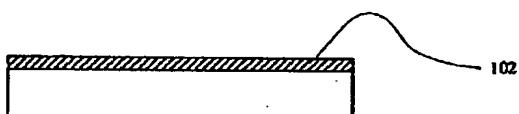
【課題】 基板と成長を行った窒素化合物半導体の間のアモルファス状窒素化合物半導体層に空孔を設けることにより、窒素化合物半導体の欠陥密度を低減する。

【解決手段】 基板上に窒素化合物半導体を形成する方法である。窒素化合物半導体のエピタキシャル成長が行われる温度よりも低い温度で、基板上にアモルファス状の窒素化合物半導体層を形成する工程、その後昇温し、窒素化合物半導体のエピタキシャル成長を行う工程、及び窒素化合物半導体を成長後、降温することにより、基板と成長を行った窒素化合物半導体の間のアモルファス状窒素化合物半導体層に空孔を設ける工程、を包含する。

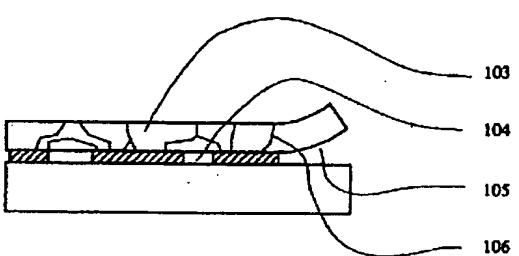
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 基板上に窒素化合物半導体を形成する方法であつて、  
窒素化合物半導体のエピタキシャル成長が行われる温度よりも低い温度で、基板上にアモルファス状の窒素化合物半導体層を形成する工程、  
その後昇温し、窒素化合物半導体のエピタキシャル成長を行う工程、及び該窒素化合物半導体を成長後、降温することにより、基板とエピタキシャル成長を行った窒素化合物半導体の間のアモルファス状の窒素化合物半導体層に空孔を設ける工程、  
を包含する窒素化合物半導体の製造方法。

【請求項2】 アモルファス状の窒素化合物半導体層の形成する温度が、600°C以下であり、V族原料のIII族原料に対する供給比率が、原料のモル比換算で、1000以下である請求項1に記載の窒素化合物半導体の製造方法。

【請求項3】 パッファー層となるアモルファス状の窒素化合物半導体層の成長速度が50nm/分以上であり、かつ、該パッファー層の厚さが50nm以上であることを特徴とする請求項1に記載の窒素化合物半導体の製造方法。

【請求項4】 基板上に窒素化合物半導体を形成する方法であつて、

V族原料のIII族原料に対する供給比率が、原料のモル比換算で、10以下で、パッファー層となる窒素化合物半導体を成長する工程、

その後、V族原料の供給比率を上げ、V族原料/III族原料の供給比率が20以上で、窒素化合物半導体のエピタキシャル成長を行う工程、及び該窒素化合物半導体を成長後、降温し、基板と成長を行った窒素化合物半導体の間に空孔を設ける工程、

を包含する窒素化合物半導体の製造方法。

【請求項5】 前記基板とエピタキシャル成長した窒素化合物半導体を剥離する工程、をさらに包含する請求項1又は2に記載の窒素化合物半導体の製造方法。

【請求項6】 前記パッファー層の成長速度が100nm/分以上であり、かつ、該パッファー層の厚さが100nm以上である請求項4に記載の窒素化合物半導体の製造方法。

【請求項7】 請求項1または請求項4に記載されている方法によって得られた窒素化合物半導体を用いて、発光素子を製造する事を特徴とする発光素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、良質の窒素化合物半導体膜を得るための製造方法に関する。

## 【0002】

【従来の技術】従来より、窒素化合物半導体は発光素子や、ハイパワーデバイスとして、利用または研究されており、その構成する組成を調節することにより、例え

ば、発光素子の場合、技術的には青色から燈色までの幅の広い発光素子として、利用することができる。

【0003】ここで、特性の優れた信頼性の高い窒素化合物半導体素子を実現するために、その結晶中の貫通転位やクラックを低減する必要があることが知られている。

【0004】この、クラックや貫通転位は、通常は、ヘテロ成長を行う際に、基板と成長する窒素化合物半導体の格子不整合に起因し、基板と成長する窒素化合物半導体の界面から発生し、消滅することなく、成長した窒素化合物半導体の表面まで到達する。

【0005】そのため、クラックや貫通転位の低減のために、種々の基板による検討が行われてきた。

【0006】例えば、サファイア基板上に薄いGaN膜を成長し、その上をストライプ状のSiO<sub>2</sub>マスクやタンゲステンマスクで被覆し、次にその上に再度GaN膜を選択成長し、GaN結晶の基板に対する横方向の成長を促進させて、成長膜同士を結合させ、平坦な膜とし、マスク部分で歪みや欠陥の緩和を行ったりする方法や、サファイア基板上に厚膜のGaN膜を成長し、サファイア基板を研磨して除去し、残った厚膜を新たな基板として使用する方法が提案されている。

## 【0007】

【発明が解決しようとする課題】しかしながら、たとえば、選択成長を行う場合、GaNの成長を行い、その後、選択成長用のマスクを形成し、更にその上に選択成長でGaNを形成するという工程が必要となる。

【0008】また、厚膜のGaN膜を形成し、サファイア基板を除去する場合、長時間かけて、厚い膜を形成するか、或いは、目的として使用するGaN膜の形成方法とは異なる方法で、厚いGaN膜を形成しなければならなかつたり、厚膜故に成長する高い温度から、室温に降温する際に、作製した厚膜が、基板との熱膨張の差で、割れたりした。

【0009】更に厚膜を基板として使用する場合、クラックや歪みの低減のために、サファイア基板を除去する工程も必要な場合がある。

【0010】本発明は、上記の欠点を解消するためになされたものであり、その目的とするところは、窒素化合物半導体の欠陥密度を低減するにあたって工程を簡略化することができる窒素化合物半導体の製造方法を提供するものである。

【0011】本発明の他の目的は、工程を簡略化して発光素子を製造することができる発光素子の製造方法を提供することにある。

## 【0012】

【課題を解決するための手段】請求項1記載の発明は、基板上に窒素化合物半導体を形成する方法であつて、窒素化合物半導体のエピタキシャル成長が行われる温度よりも低い温度で、基板上にアモルファス状の窒素化合物

半導体層を形成する工程、その後昇温し、窒素化合物半導体のエピタキシャル成長を行う工程、及び該窒素化合物半導体を成長後、降温することにより、基板とエピタキシャル成長を行った窒素化合物半導体の間のアモルファス状の窒素化合物半導体層に空孔を設ける工程、を包含し、そのことにより上記目的が達成される。

【0013】一つの実施態様においては、前記基板とエピタキシャル成長した窒素化合物半導体を剥離する工程、をさらに包含する。

【0014】一つの実施態様においては、前記アモルファス状の窒素化合物半導体層の形成する温度が、600℃以下であり、V族原料のIII族原料に対する供給比率が、原料のモル比換算で、1000以下である。

【0015】一つの実施態様においては、バッファー層となるアモルファス状の窒素化合物半導体層の成長速度が50nm／分以上であり、かつ、該バッファー層の厚さが50nm以上である。

【0016】請求項4記載の発明は、基板上に窒素化合物半導体を形成する方法であって、V族原料のIII族原料に対する供給比率が、原料のモル比換算で、10以下で、バッファー層となる窒素化合物半導体を成長する工程、その後、V族原料の供給比率を上げ、V族原料／II族原料の供給比率が20以上で、窒素化合物半導体のエピタキシャル成長を行う工程、及び該窒素化合物半導体を成長後、降温し、基板と成長を行った窒素化合物半導体の間に空孔を設ける工程、を包含し、そのことにより上記目的が達成される。

【0017】一つの実施態様においては、前記基板とエピタキシャル成長した窒素化合物半導体を剥離する工程、をさらに包含する。

【0018】前記バッファー層の成長速度が100nm／分以上であり、かつ、該バッファー層の厚さが、100nm以上である。

【0019】請求項7記載の発明は、上記方法によって得られた窒素化合物半導体を用いて、発光素子を製造する事を特徴とする発光素子の製造方法である。

【0020】本発明の作用は以下の通りである。

【0021】基板と成長した窒素化合物半導体との間に、アモルファス状のバッファー層を形成し、窒素化合物半導体の成長及び降温工程を加えることにより、該バッファー層中に空孔を発生させるか、あるいはバッファー層部分で剥離を生じさせ、エピタキシャル成長を行った窒素化合物半導体の歪みを低減し、欠陥密度を低減することができる。

【0022】

【発明の実施の形態】まず本発明の原理について説明する。

【0023】本発明においては、単結晶の窒素化合物半導体の成長を、有機金属気相成長法(MOCVD法)、ハイドライド気相成長法(HVPE法)、分子線エピタキシャル成長

法(MBE法)等、通常良く用いられているエピタキシャル成長技術を行う際に、窒化物半導体の結晶成長の初期過程において、まず、エピタキシャル成長が行われる温度よりも低い温度で、アモルファス状の窒素化合物半導体層を形成し、その後、昇温し、窒素化合物半導体のエピタキシャル成長を行い、その後、降温することにより、先に形成したアモルファス状窒素化合物半導体層に空孔を形成させることができ、エピタキシャル成長を行った窒素化合物半導体の歪みを低減し、欠陥密度を低減することができる。

【0024】本空孔は、低い温度で形成したアモルファス状の窒素化合物半導体層が、高温でのエピタキシャル成長を行う際、あるいはエピタキシャル成長を行うまでの昇温期間中に、該アモルファス状窒素化合物半導体層が熱により、微結晶に結晶化する際に形成される。

【0025】図1Aに本実施例による窒素化合物半導体の製造方法の一例を示す。

【0026】基板(101)を結晶成長装置内に導入し、その上に、本来、窒素化合物半導体をエピタキシャル成長する温度よりも低い温度で、アモルファス状窒素化合物半導体層(102)を形成する(図1A(b))。その後、温度を上げ、本来の窒素化合物半導体の成長温度で窒素化合物半導体のエピタキシャル膜(103)の結晶成長を行い、終了後、降温し、結晶成長装置から取り出す。

【0027】図1A(c)に示すように、形成した窒素化合物半導体(103)と基板(101)の界面には、自然と空孔(104)が形成され、場合により、窒素化合物半導体(103)と基板(101)の剥離(105)が生じる場合もある。空孔(104)あるいは剥離(105)が生じることにより、エピタキシャル成長した窒素化合物半導体(103)内の内部応力が緩和され、かつ、結晶欠陥(106)が低減される。

【0028】図1Bに我々が行った実験で得られた、空孔の占有率と結晶内の欠陥密度の相対的な関係を表すグラフを示す。

【0029】図に示されているように、結晶成長した窒素化合物半導体(103)内の欠陥密度は、基板界面に存在する空孔の占有率が増加するに従い、減少している。

【0030】特に、上記アモルファス状の窒素化合物半導体層を形成する際、その形成する温度が、600℃以下であり、かつ、V族原料とIII族原料の供給モル比(V/III)が、1000以下である場合、空孔の形成が容易であり、エピタキシャル成長を行った窒素化合物半導体の歪みの低減と、欠陥密度の低減が効果的に起こり、場合により、サファイア基板とエピタキシャル成長を行った窒素化合物半導体の剥離が自然に生じる。

【0031】また、特に上記アモルファス状の窒素化合物半導体層を形成する際の成長速度が50nm／分以上であり（特に、70～200nm／分が望ましい）、かつ該アモルファス状の窒素化合物半導体層の厚さが50nm以上（特に、100～300nmが望ましい）である場合、

空孔の形成が容易であり、エピタキシャル成長を行った窒素化合物半導体の歪みの低減と、欠陥密度の低減が効果的に起こり、場合により、サファイア基板とエピタキシャル成長を行った窒素化合物半導体の剥離が自然に生じる。また、本発明においては、単結晶の窒素化合物半導体の成長を、有機金属気相成長法(MOCVD法)、ハイドライド気相成長法(HVPE法)、分子線エピタキシャル成長(MBE法)等、通常良く用いられているエピタキシャル成長技術を行う際に、V族原料の供給量が、原料のモル比換算で、III族原料の供給量(V族原料のIII族原料に対する供給比率)の10倍以下で、バッファー層となる窒素化合物半導体を成長し、その後V族原料の供給比率を上げ、V族原料/III族原料の供給比率が20倍以上で窒素化合物半導体のエピタキシャル成長を行い、その後、降温することにより、先に形成したアモルファス状窒素化合物半導体層部分に空孔を形成させることにより、エピタキシャル成長を行った窒素化合物半導体の歪みを低減し、欠陥密度を低減することを特徴としている。

【0032】本空孔は、バッファー層を形成する際、低いV族原料/III族原料の供給比率により、バッファー層となる窒素化合物半導体のIII族元素の構成する割合が増加し、その後、V族原料/III族原料の供給比率が20倍以上で、窒素化合物半導体のエピタキシャル成長を行う際に、エピタキシャル成長を行っている際の熱の影響と、多量のV族元素のバッファー層への拡散により、バッファー層の再結晶化が促進され、形成される。

【0033】特に、上記バッファー層となる窒素化合物半導体を形成する際の成長速度が100nm/分以上(特に、300~1000nm/分が望ましい)であり、かつ、該バッファー層となる窒素化合物半導体の膜の厚さが、100nm以上(特に、200~2000nmが望ましい)である場合、空孔の形成が容易であり、エピタキシャル成長を行った窒素化合物半導体の歪みの低減と、欠陥密度の低減が効果的に起こり、場合により、サファイア基板とエピタキシャル成長を行った窒素化合物半導体の剥離が自然に生じる。

#### 【0034】

【実施例】(実施例1)本実施例では、(0001)面を有するサファイア基板に有機金属気相成長法(MOCVD)により、GaN膜を製造した例について記述する。

【0035】図2に本製造に使用したMOCVD装置の概略図を示す。

【0036】図中、符号201は本実施例で使用する(001)面を有するサファイア基板であり、本基板(201)はカーボンでできたサセプタ(202)上に配置されている。サセプタ(202)の中には、やはりカーボンでできた抵抗加熱用のヒーターが配置されており、熱電対により基板温度を制御することができる。符号203は、二重の石英でできた反応管であり、水冷されている。V族原料と

しては、アンモニア(206)を使用し、III族原料としては、トリメチルガリウム(TM)G(207)を窒素ガスでバーリングして使用した。各原料は、マスフローコントローラ(208)で正確に流量を制御して、原料入り口(204)より反応管(203)に導入されて、排ガス出口(205)より排出される。

【0037】窒素化合物の製造は以下の手順で行った。

【0038】まず、反応管(203)を窒素ガスで充満し、窒素ガスを10リットル/分の流量で供給しながら、基板(201)を乗せたサセプタ(202)の温度を500℃まで昇温する。その後、V族原料であるNH<sub>3</sub>を0.3リットル/分の流量で導入し、続いて、III族原料であるTMGを30μmol/分で導入し、基板(201)上にバッファー層となるアモルファス状のGaNを70nmの厚さになるように成長する。アモルファス状のGaNの成長が終了した後、サセプタ(202)の温度を1000℃まで昇温し、続いてGaNのエピタキシャル成長を行う。

【0039】エピタキシャル成長を行う際のNH<sub>3</sub>供給量は、3リットル/分であり、TMGの供給量は30μmol/分である。GaNをエピタキシャル成長した後に、サセプタ(202)中のヒーターの電源をきり、室温まで降温し、製造したGaNを基板から(201)と取り出し、GaN膜の製造を終了する。

【0040】製造したGaN膜を劈開し、その断面を観察すると基板の界面には、多数の空孔が存在し、基板の端面では、製造したGaN膜が、サファイア基板から剥離している箇所も存在していた。また、透過電子顕微鏡(TEM)による観察では、空孔が形成されない条件で製造したGaN膜中には、1×10<sup>10</sup>個/cm<sup>2</sup>の欠陥が存在していたが、上記実施例で示す方法で、空孔を形成して製造したGaN膜中には、5×10<sup>8</sup>個/cm<sup>2</sup>の欠陥しか存在していなかった。

【0041】(実施例2)本実施例では、実施例1に示す方法で、GaN膜を製造する際、バッファー層となるアモルファス状のGaN膜の成長条件を変えて、製造した例について幾つか記述する。

【0042】まず、バッファー層の成長温度を600℃以上で成長した場合、バッファー層上にエピタキシャル成長した窒素化合物半導体は、表面に多数の六角形状の突起が現れ、かつ、バッファー層部分には空孔は発生していなかった。

【0043】次に、バッファー層の製造温度を550℃に固定して、V族原料とIII族原料の供給比率を変えて、窒素化合物半導体を製造した。

【0044】III族原料であるTMGの供給量を30μmol/分と50μmol/分で固定し、V族原料であるNH<sub>3</sub>の供給量をTMG供給量に比べて、モル比で50から2000になるように変化させ、バッファー層の厚みが70nmなるようにして製造し、空孔の発生する割合を調査した。その結果を図3に示す。

【0045】図3からわかるように、バッファー層の単位面積当たりに占める空孔の発生する割合は、V族原料とIII族原料の供給比率が小さくなるほど増加し、V/I II供給比率が、TMC供給量が30μmol／分の場合でも、50μmol／分の場合でも、1000以上になると殆ど無くなってしまう結果が得られた。

【0046】また、特に、V族原料／III族原料の供給比率が200以下の場合、基板と、成長したGaN膜の剥離が頻繁に生じた。

【0047】(実施例3)本実施例では、実施例1に示す方法で、バッファー層となるアモルファス状のGaN膜の成長速度の検討を行った例について記述する。

【0048】アモルファス状のバッファー層の成長温度を550℃に固定し、TMC供給量を5～50μmol／分で変化させ、NH<sub>3</sub>の供給量がV族原料／III族原料比率で500になるように調節し、アモルファス状のバッファー層の成長速度を調節した。この条件で、バッファー層の膜厚を成長時間で変化させ、空孔の発生する割合を調査した結果を図4に示す。

【0049】図4からわかるように、バッファー層となるアモルファス状のGaN膜の成長速度が、50nm／分以上の場合、かつ、バッファー層の膜厚が50nm以上の場合、明らかに空孔の発生する割合が多くなっている事がわかる。

【0050】(実施例4)本実施例では、低温でアモルファス状の窒素化合物半導体を成長することなく、図5に示すように、V族原料の供給比率を少なくして製造した第1層をバッファー層として、その上に、V族原料の供給比率を増加させて第2層目を製造し、第1層内に、空孔を発生させた例について記述する。

【0051】本実施例では、ハイドライド気相成長法(H-VPE法)を用いて製造を行った。

【0052】使用したH-VPE装置の概略図を図6に示す。基板(501)は、カーボン製のサセプタ(502)で保持されており、石英製の反応管(503)の中に納められている。原料ガスであるNH<sub>3</sub>(507)は、マスフローコントローラ(509)で精密に流量を調整され、反応管に導入され、専用の配管(504-a)を通じて基板(501)に到達する。また、塩酸(HCl)(508)も、マスフローコントローラ(509)で流量を調節され、途中、N<sub>2</sub>ガスまたはH<sub>2</sub>ガスで希釈を行い、専用の配管(504-b)を通じて、ガリウムメタル(506)上を通過し(ここで殆どが塩化ガリウム(GaC1)に変化する)、基板(501)に到達する。反応管(503)全体は、ヒーター(510)で加熱される。基板(501)上では、NH<sub>3</sub>とGaNとの反応で、GaNが製造される。

【0053】以下、GaN膜を製造する手順を説明する。

【0054】まず、HClガスの希釈ラインから、窒素を導入しながら、反応管(503)を加熱し、Gaメタルの領域の温度を800℃～900℃程度になるように制御し、基板

(501)の温度が1000℃から1100℃になるように制御する。温度が落ちついた後、一定量のNH<sub>3</sub>及びHClを導入することにより、GaNの製造を開始する。

【0055】本実施例では、成長条件として、まず、反応管(503)にH<sub>2</sub>を3000cc、NH<sub>3</sub>を50cc、HClを20cc導入し、基板(501)上に第1層となるGaNを成長した。本条件でのGaN膜の成長速度は、300nm／分であった。この条件で、1分間、GaNを成長した後、H<sub>2</sub>流量の減少(2050cc)とNH<sub>3</sub>量の増加(1000ccに)を行い、1時間成長を行った。得られたGaN膜の厚みは60μmであった。本方法で製造した膜の内、約80%は製造後の冷却工程の間に、サファイア基板と剥離し、残りの約20%の製造膜も基板との間に、占有率が60%以上の面積で空孔が生じていた。GaN膜中の欠陥の割合も、本方法を使用しない場合と比較すると、1/10～1/100以下に低減していた。

【0056】本実施例に記載された方法で、バッファー層を製造する際のHCl投入量を20cc及び30ccに固定し、NH<sub>3</sub>の投入量を変えて、空孔の発生する割合を調査した。製造の条件は、NH<sub>3</sub>投入量を0から400ccまで変化させ、H<sub>2</sub>投入量と、NH<sub>3</sub>投入量の合計が3050ccになるように調整した。この方法で製造したGaN膜とサファイア基板との間に発生した空孔の占有率を図7に示す。図から分かるように、V族原料となるNH<sub>3</sub>供給量とIII族原料に変化するHCl供給量の供給比率が、いずれの場合も10以下の場合、空孔の発生率が多かつた。また、上記製造条件で第1層を製造した後、第2層をその上に製造する際、V族原料となるHClの供給量が20以下の場合、膜表面は凹凸が激しく、平坦な状態のGaN膜の製造ができなかった。

【0057】(実施例5)本実施例では、実施例4に示す方法を用い、バッファー層となる第1層の成長速度と、膜厚を変え、空孔の発生する割合を調査した結果を示す。

【0058】GaN膜の成長速度は、III族原料の供給量でほぼ決定するため、HCl投入量を変え、成長速度の調整を行い、第1層の膜厚が300nmになるまで成長を行った。その際、V族原料とIII族原料の供給比率が変わらないように、一定の比率で供給を行った。また、その上に成長する第2層は、HCl量が20cc、NH<sub>3</sub>量が1000cc、H<sub>2</sub>量が2050ccの一定条件で成長した、種々の成長速度で得られた空孔の占有率を図8に示す。

【0059】図8から分かるように、第1層の成長速度が300nm／分以上で、明らかに空孔の占有する割合が増加している。次に、バッファー層となる第1層の成長の条件をHCl投入量を20cc、NH<sub>3</sub>投入量を50cc、H<sub>2</sub>Oの投入量を3000ccに固定して、第1層の膜厚と空孔の占有する割合を調査した。その結果を図9に示す。

【0060】図9から解るように、第1層の膜厚が100nm以上の場合に、空孔の占有する割合が大きい事が解

る。

【0061】(実施例6)本実施例では、基板と窒素化合物半導体の成長層との界面に空孔を設ける方法を用いて、GaN膜を成長し、その上に発光素子を製造した例として、レーザダイオード(LD)を形成した例について記述する。

【0062】まず、実施例1または実施例4に示す方法で、空孔を有するGaN膜を $20\mu m$ の厚さに成長し、その上に順次、n型のAl0.15Ga0.85N、n型のGaN、In0.15Ga0.85NとIn0.05Ga0.95Nよりなる5層の量子井戸(MQW)、P型のGaN、p型のAl0.15Ga0.85N、p型のGaNを形成する。

【0063】本実施例では、MOCVD法を用いて形成した。Al原料としては、トリメチルアルミニウム(TM A)、In原料としてはトリメチルインジウム(TMI)を使用した。また、n型のドーピング原料としては、シラン(SiH<sub>4</sub>)を、P型のドーピング原料としてはビスシクロペンタジエニルマグネシウム(Cp<sub>2</sub>Mg)を用いた。

【0064】本実施例で作製したLDの概略図を図10に示す。

【0065】図中、(001)はサファイア基板、(002)はバッファー層、(003)はn型GaN膜、(004)はn型Al0.15Ga0.85N膜、(005)はn型GaN膜、(006)はIn0.15Ga0.85NとIn0.05Ga0.95Nよりなる5層の量子井戸(MQW)、(007)はp型のGaN膜、(008)はp型のAl0.15Ga0.85N膜、(009)はp型のGaN膜である。

【0066】各層を成長後、反応性イオンエッチング(RIE)法によりエッチングを行い、部分的にn型GaNを露出し、オーム電極(012)を蒸着法により形成し、光り閉じ込めを行うためのリッジをRIEにより形成し、リッジ部分に選択的にオーム電極(011)を形成するために、絶縁物であるSiO<sub>2</sub>をスッパッタリング法等で被覆して窓部を開口している。

【0067】図中、(010)は、SiO<sub>2</sub>よりなる絶縁層、(014)はn型GaNを形成するために、RIEによりエッチングした端面であり、(015)はリッジを形成するためにRIEによりエッチングを行った跡である。また、(013)は空孔であり、この空孔(013)をバッファー層(002)に形成することにより、同様の構造で空孔を形成せずに作製したLD素子中の欠陥密度が約2桁低減された。この効果により、LDの寿命が約10倍長くなった。

【0068】図11は、本実施例で作製したLDの1例

であり、空孔部から、GaN(003)と基板(001)が剥離しているものである。このLDは、RIEを用いてn型層を露出することなく、基板を剥離し(図11a)、次いで界面を研磨し(図11b)、その後電極(012)を蒸着して(図11c)して製造することができる。

#### 【0069】

【発明の効果】以上の説明から明らかのように、本発明によれば、基板と成長を行った窒素化合物半導体の間のアモルファス状窒素化合物半導体層に、空孔を設けることにより、該窒素化合物半導体の欠陥密度を低減することができる。また、本発明は発光素子を形成する上で、好適に用いることができる。

#### 【図面の簡単な説明】

【図1A】本発明により製造された窒素化合物半導体の製造方法の一例である。

【図1B】空孔の占有率と結晶内の欠陥密度の相対的な関係を表すグラフである。

【図2】実施例1で用いられた結晶成長装置の概略図である。

【図3】V族原料とIII族原料の供給比率を変えた場合の、空孔の占有率を表すグラフである。

【図4】バッファー層の成長速度及び膜厚と、空孔占有率の関係を示すグラフである。

【図5】実施例4により製造された窒素化合物半導体の製造方法の一例である。

【図6】実施例4で用いられた結晶成長装置の概略図である。

【図7】HCl及びNH<sub>3</sub>投入量と、空孔の占有率の関係を表すグラフである。

【図8】第1層の成長速度と空孔の占有率を表すグラフである。

【図9】第1層の膜厚と空孔の占有率を表すグラフである。

【図10】本発明により製造された発光素子の一例である。

【図11】本発明により製造された発光素子の一例である。

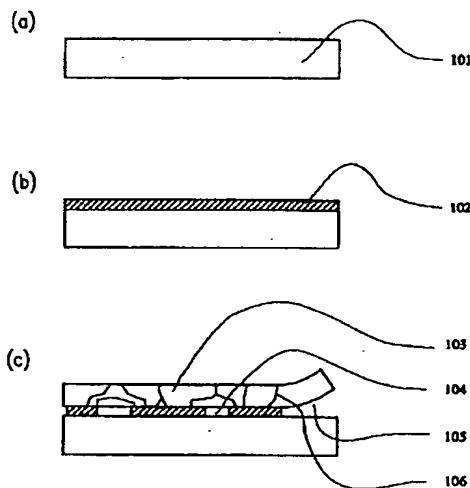
#### 【符号の説明】

101 基板

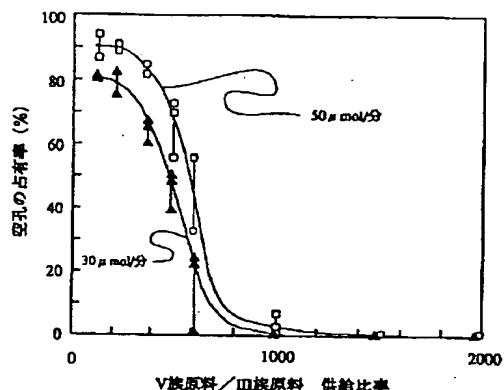
102 アモルファス状窒素化合物半導体層

103 窒素化合物半導体のエピタキシャル成長膜

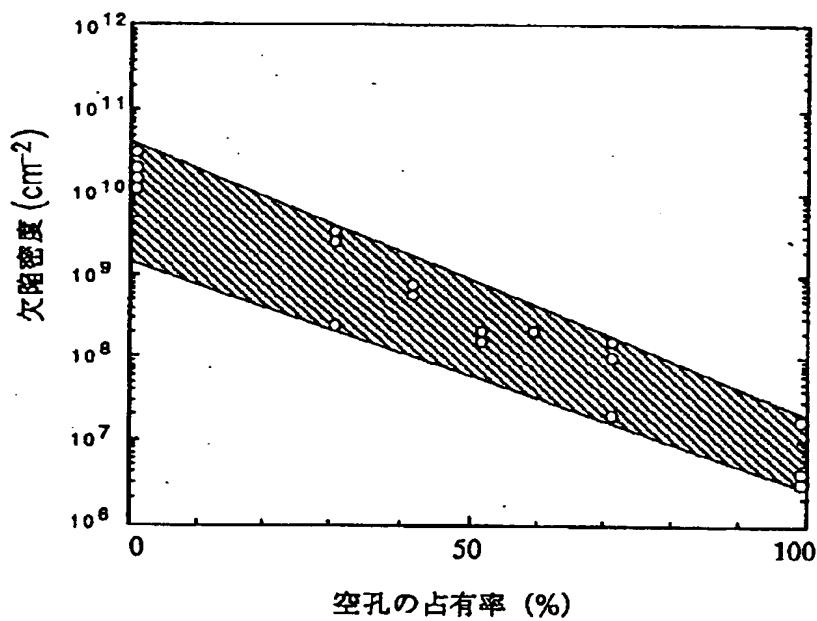
【図1A】



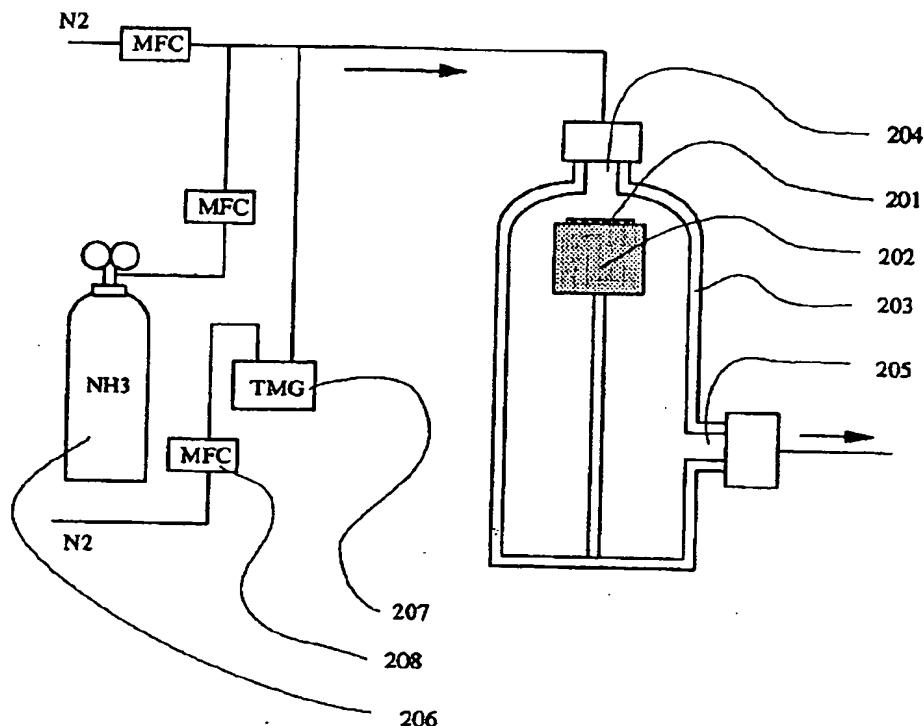
【図3】



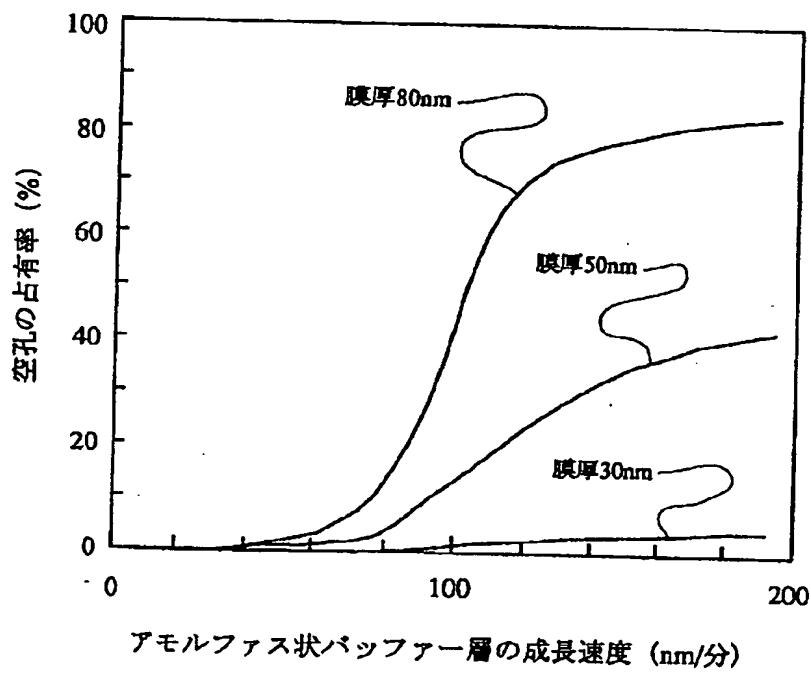
【図1B】



【図2】



【図4】

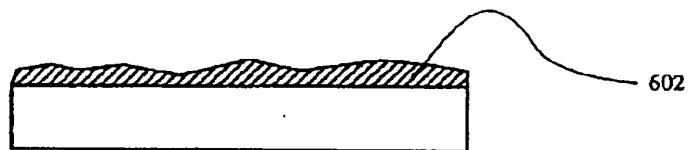


【図5】

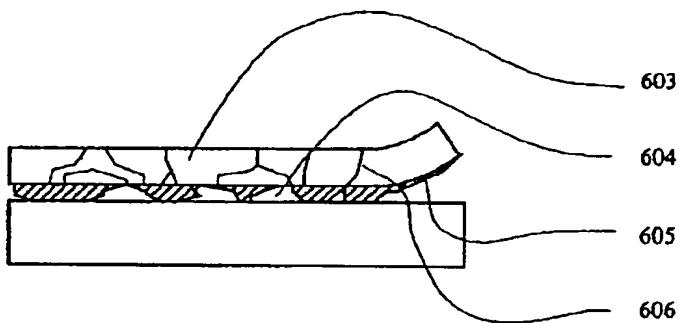
(a)



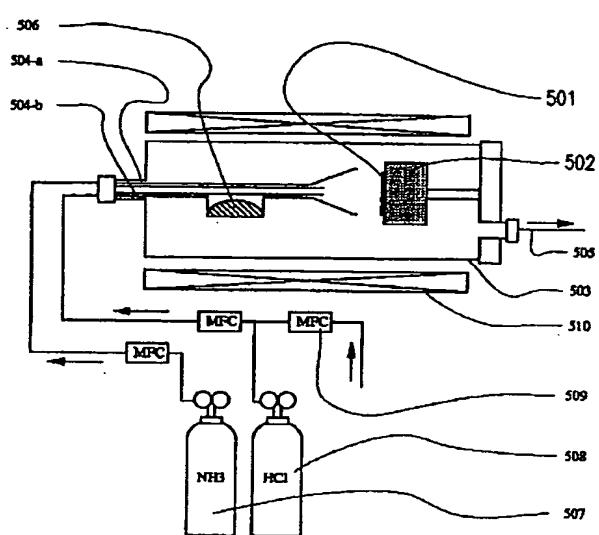
(b)



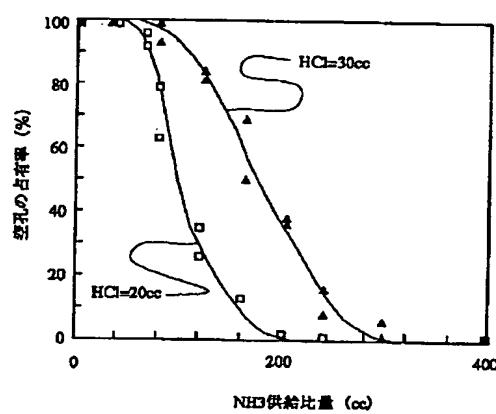
(c)



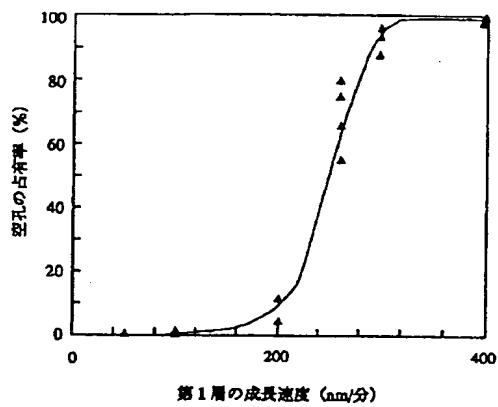
【図6】



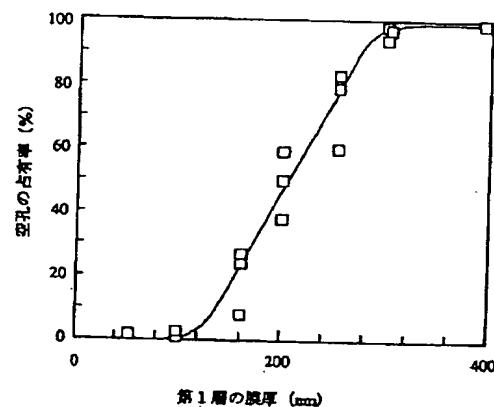
【図7】



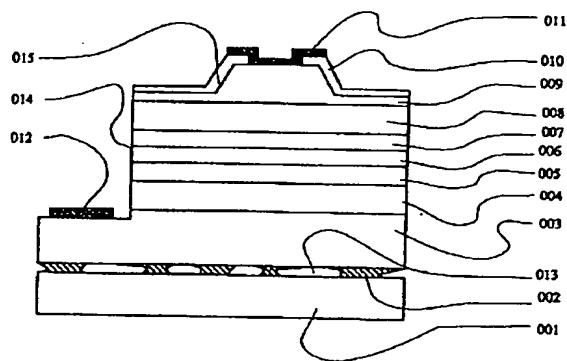
【図8】



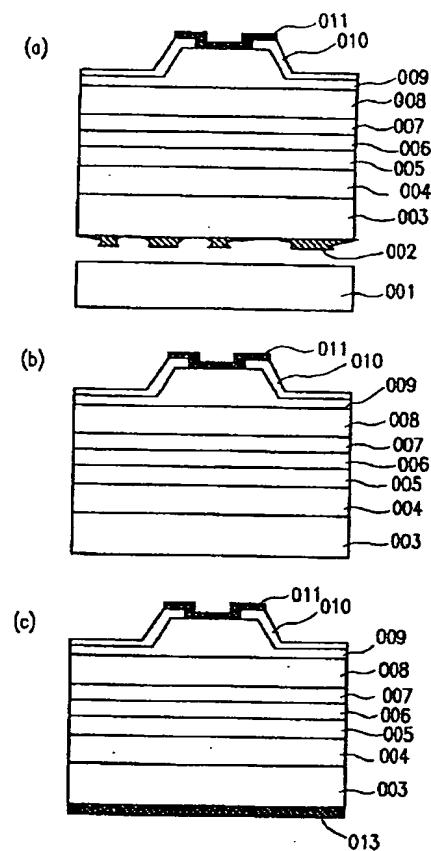
【図9】



【図10】



【図11】



フロントページの続き

F ターム(参考) 5F041 AA40 CA05 CA34 CA40 CA46  
CA49 CA57 CA65 CA74  
5F045 AA04 AB14 AB17 AC08 AC12  
AC13 AD09 AD10 AD14 AF09  
AF13 BB12 CA10 CA12 DA53  
DA55 DP03 DQ04 DQ06 DQ08  
EC02 EE12 EJ04 EK27